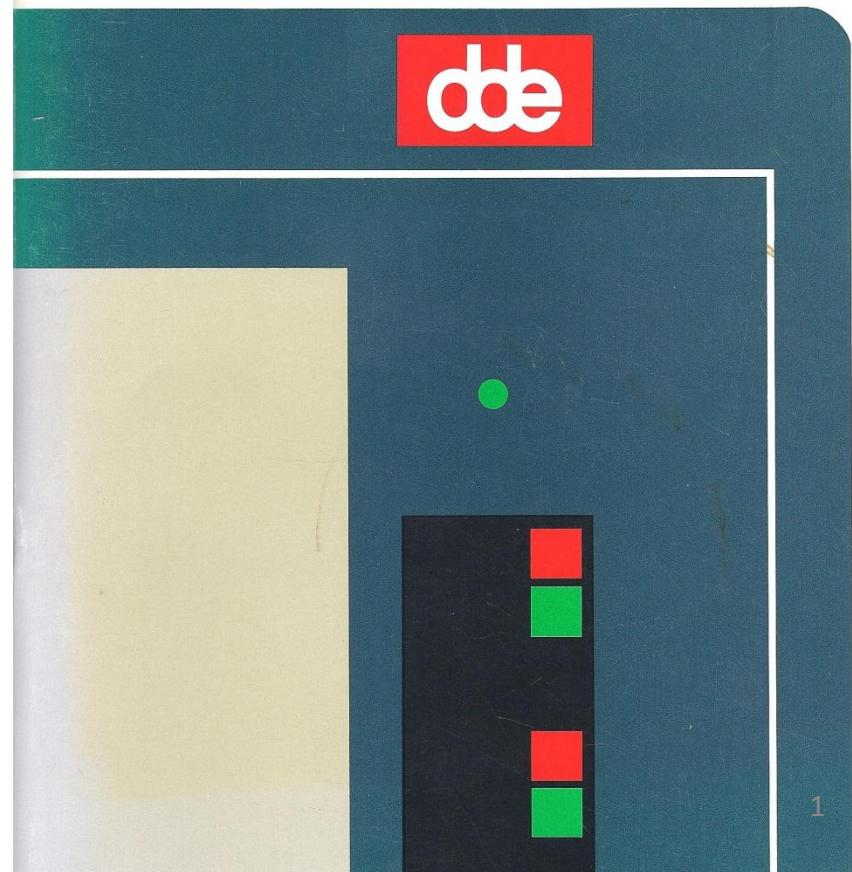


“SPC/2 Datamaten” anno
1982 – et kæmpe spring
fra et 8 bit mikroprocessor
system til et skalerbart
multiprocessor system
med distribueret offload af
I/O.

supermax
hardware
characteristics



Baggrund

- **DDE, HW Engineer, 1982**
- Olicom, Director HW R&D, 1992
- Intel Corporation, Engineering Manager, 1999
- Enigma Semiconductor, VP Engineering, 2001
- GN Netcom, Director Audio & HW/RF R&D, 2006

Knud Arne Nielsen



DDE's administrerende direktør Claus Erik Christoffersen og afdelingsleder for materiel udvikling Knud Arne Nielsen med det nye RISC-kort.

Agenda

- Overblik over hardware arkitekturen
 - SPC/1 og SPC/2
- Fokus på
 - Multiprocessing,
 - I/O offload
 - Skalerbarhed
- Innovations miljø og udvalgte innovationer

SPC/1 –anno 1979

- Modulært system
- Single processor system
- Intel 8085, 16b adresse, 8 bit data, 5MHz
- Bank Switch lager
 - 16KB i rodten og 48KB per bruger
- Op til 8 brugere
- Bred portefølje af I/O moduler
- DMA til data transport
- Operativsystem: MIKADOS
- Brugt til COMAL mmm
- Konkurrence fra CP/M og S-100 bus system
 - Osborne 1, Altair, Amstrad etc.



SPC/2 – anno 1982

Bo Schmidt.

HARDWARE ARKITEKTUR
for
SPC/2 Datamaten
Marts 1982

1

Indholdsfortegnelse

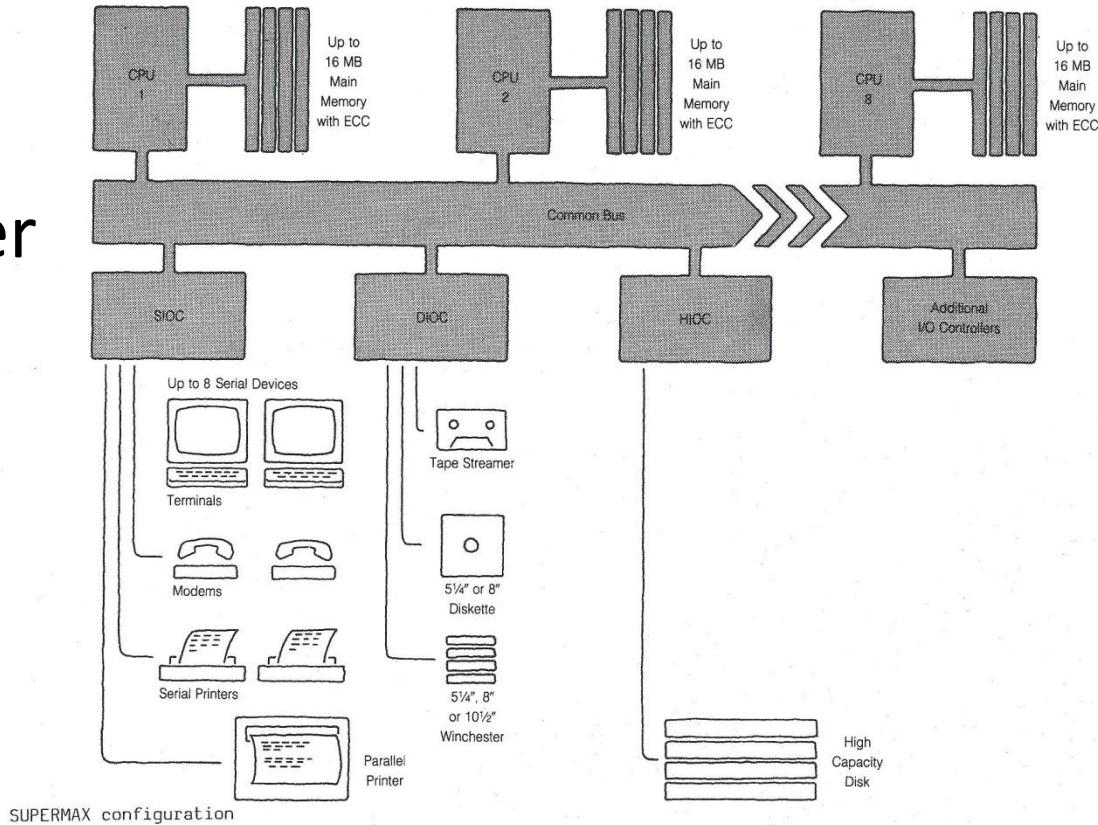
1. Indledning.
2. Oversigtsbeskrivelse.
3. Fællesbus.
 - 3.1. Adressering på fællesbussen.
 - 3.2. Prioritering.
 - 3.3. Fejlsituationer.
 - 3.4. Bushastighed.
 - 3.5. Transporthastighed i SPC/1.
4. Interrupt.
 - 4.1. Interrupt systemet.
 - 4.2. Begrensninger i interrupt systemet.
5. CPU.
 - 5.1. Beskrivelse af MMU.
 - 5.2. MMU'ens funktion.
 - 5.3. Access til fællesbus.
 - 5.4. Access fra fællesbus.
6. Lager.
7. Input/Output.
 - 7.1. I/O processor.
 - 7.2. SIOK.
 - 7.3. VIOK.

Appendix 1.

Beregning af CPU cycle.

Hardware characteristics - 1982

- Multiprocessor
- Løst koblet
- 12x2 kort positioner
- 16 intelligente moduler
- 32b fællesbus
- Lokale lagerbusser
- Intelligent I/O
- Diagnose port

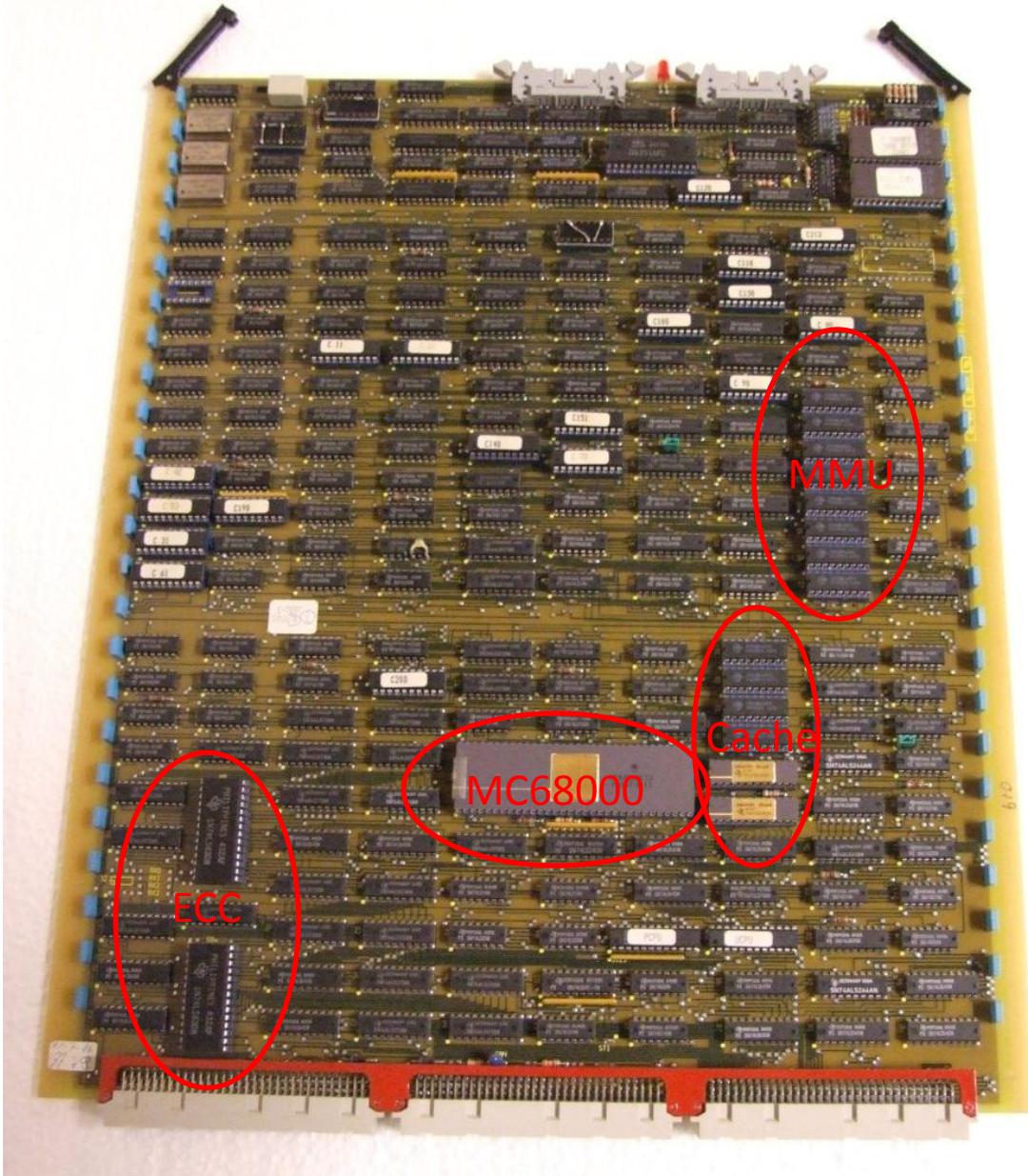


Fællesbus

- Udvalgte egenskaber
 - Asynkron data transport med understøttelse af
 - Byte, word, double word, read modify write (TAS) samt Data burst transfers
 - Synkron prioritering om tilgang til fællesbus parallelt med en evt. igangværende data transaktion
 - Skalerbart interrupt system
 - Sker ved skrivning i en enheds lager
 - Diagnose bus

CPU Modul

- MC68000-10MHz (Senere fundet i: Sun, Amiga, Macintosh, etc)
 - 32b arkitektur men fysisk 24b adresse og 16b data
 - User and supervisor modes
 - Atomisk operation: TAS
- MMU
 - Relokering af programmer og data, beskyttelse samt udvidelse af det fysiske adresserum, cache control
 - 1024 indgange: Access, Length, Offset
- Lager
 - 32b med detektion af enkelt og dobbelt bit fejl samt korrektion af enkelt bit fejl
 - 1MB per modul og baseret på 256kb DRAM teknologi (2012: 8Gb!)
- Cache
 - Program only and one set associative
 - 512 indgange x 1 word ($512 \times 9 \times 2 + 1K \times 4 \times 4$) -> one word prefetch



Intelligente I/O moduler

- Offload ved distribuering af intelligente I/O controllers
 - Seriel I/O
 - Disk I/O
 - Communication I/O (HDLC/SDLC)
 - LAN: Ethernet - Yellow cable
- CPU: I8085
- OS: Mikados
- Lokale drivers for perifere enheder
- Lokale buffere / Caches
- VTI med lokal håndtering af terminal interrupts
- Data overførsel med CPU I/O og/eller burst mode DMA

Skalerbarhed - CPU

- MC68000 1982/1983
- MC68010 – den sprang vi over (Virtual memory)
- MC68020 1986
 - Cache, Virtual memory
- MC68030 1988
- R3000 1991 (Ikke MC68040, MC88000, Sparc)
 - Nyt instruktions set
 - OS understøtter hybride maskiner (Mix af RISC & CISC)
- R4000 1993 (SPC/3)
 - Symmetrisk tæt (og løst) koblet multiprocessing
 - Hardware understøtter Cache Coherency

Skalerbarhed – Lager hierarki

- Cache memory: 2KB -> 512KB -> ?
- Hovedlager: 1MB -> 64MB (1992)
- Disk cache memory: ~0 -> 32MB
- Disk tilgang: Mirroring, Striping
- Dual hosted disk systems
- Disks: 10MB -> 1.5GB (1992)

Skalerbarhed – I/O

- Fra asynkrone terminaler til Ethernet
- Disk /IO fra single kanal til dual kanal og dual host
- N+1 PSUs

Skalerbarhed - Modeller



1982



1992

Innovations miljøet – 1982

- Ungt og veldrevet selskab med en klar vision
- Tæt på kunderne med første generations produkter
- I høj grad drevet af at løse reelle behov og problemer
- Risiko villighed også for pre-standard løsninger
- Dygtige medarbejdere – var vi 50 i 1982?
- R&D var dynamisk, ambitiøst og med højt til loftet
- Ingen strammende strukturer, processer eller ledelse
- Kender vi det i dag som agile metoder og rapid prototyping?
- Ingen patenter!

Udvalgte innovationer

- Først fra multi user til multi processor
- Første MC68000 system med minidatamat egenskaber
- Avanceret lager hierarki - især disk systemet
- Balanceret system design inklusive partitionering mellem SW og HW
- Fjern diagnose
- Interrupt system

Teknologi enabler

- PAL – programmable array logic

PAL16R4 PAL PAL DESIGN SPECIFICATION
 CNT4SC
 4 bit counter with synchronous clear
 Michael Holley and Dave Pellerin
 Clk Clear NC NC NC NC NC NC NC GND
 OE NC NC /Q3 /Q2 /Q1 /Q0 NC NC VCC

```
Q3 := Clear
+ /Q3 * /Q2 * /Q1 * /Q0
+ Q3 * Q0
+ Q3 * Q1
+ Q3 * Q2
```

```
Q2 := Clear
+ /Q2 * /Q1 * /Q0
+ Q2 * Q0
+ Q2 * Q1
```

```
Q1 := Clear
+ /Q1 * /Q0
+ Q1 * Q0
```

```
Q0 := Clear
+ /Q0
```

FUNCTION TABLE
 OE Clear Clk /Q0 /Q1 /Q2 /Q3

L	H	C	L	L	L	L
L	L	C	H	L	L	L
L	L	C	L	H	L	L
L	L	C	H	H	L	L
L	L	C	L	L	H	L
L	H	C	L	L	L	L

