

SEMS

36-38, rue de la Princesse
78430 — Louveciennes
tél. : 958-39-50

mitra 125

INSTRUCTIONS	Famille	Fonction	DL	DG	IL EL	ILX ELX	IGX EGX	P	PX
AAE	¹ SRG	$(A) \cap (E) \rightarrow A$						F 118	
AAX	SRG	$(A) + (X) \rightarrow X$						F 12A	
ACE	² SRG	$(E) + C \rightarrow E$						F 10E	
ADD	²	$(A) + (Y) \rightarrow A$	05	45	65	A5	85	25	
ADM	²	$(A) + (Y) \rightarrow A, Y$	17	57	77	B7	97		
AEA	² SRG	$(A) \cdot (E) \rightarrow A$						F 122	
AEE	¹ SRG	$(A) \div (E) \rightarrow A$						F 112	
AIE	¹ SRG	$(A) \cup (E) \rightarrow A$						F 116	
AIO	SYS	Compte rendu sur fin programme canal						F 406	
AND	¹	$(A) \cdot (Y) \rightarrow A$	09	49	69	A9	89	29	
AXA	² SRG	$(A) \cdot (X) \rightarrow A$						F 12C	
		INSTRUCTIONS DE BCHT seulement	RP	RM	IG	IL			
BAN		A = 0 : (Y) → P A ≠ 0 : (P) → 2→P	C4	CC	DC	D4			
BAZ		A = 0 : (Y) → P A ≠ 0 : (P) → 2→P	C5	CD	DD	D5			
BCF BNE BNZ		C = 0 : (Y) → P C = 1 : (P) → 2→P	C3	CB	DB	D3			

INSTRUCTIONS	Famille	Fonction	DL	DG	IL EL	ILX ELX	IGX EGX	P	PX
BCT BE BZ		$C=1 : (Y) \rightarrow P$ $C=0 : (P) + 2 \rightarrow P$	C0	C8	D8	D0			
BOF BGE BPZ		$O=0 : (Y) \rightarrow P$ $O=1 : (P) + 2 \rightarrow P$	C6	CE	DE	D6			
BOT BL BLZ		$O=1 : (Y) \rightarrow P$ $O=0 : (P) + 2 \rightarrow P$	C2	CA	DA	D2			
BRK	COV	Génération déroutement						FF4n	
BRU		$(Y) \rightarrow P$	C7	CF	DF	D7			
		$(Y) + (X) \rightarrow P$	C1	C9	D9	D1			
CAA	SRG	Comparer octets de A	$C=0$: $O=0$: $A0 \rightarrow A8$ 15 $O=1$: $A0 \rightarrow A8$ 15 $C=1$: $O=0$: $A0 \rightarrow A8$ 15					F13A	
CAE	SRG	Comparer A et E	$C=0$: $O=0$: $A > E$ $O=1$: $A < E$ $C=1$: $O=0$: $A = E$					F136	
CBA	SHC	$(\bar{A}k) \rightarrow Ak$	$C=0 \rightarrow K=0$; $C=1 \rightarrow K=1$ $O=0 \rightarrow A \neq 0$; $O=1 \rightarrow A=0$					FC3n EC3n	
CBE	SHC	$(\bar{E}k) \rightarrow Ek$	$C=0 \rightarrow K=0$; $C=1 \rightarrow K=1$ $O=0 \rightarrow E \neq 0$; $O=1 \rightarrow E=0$					FC2n EC2n	
CCA	SRG	$(\bar{A}) \rightarrow A$						F110	
CCE	SRG	$(\bar{E}) \rightarrow E$						F10A	
CHX	SRG	$(X) : 2 \rightarrow X$						F11E	
CLM	SYS	Démassage des interruptions						F400	
CLP	SYS	RAZ protection mémoire						F407	
CLO		Appel sous prog commun	3E					FE	EE
CLS		Appel section	38					F8	E8
		$O=0 : A > Y$ $O=1 : A < Y$ $C=1 : A = Y$	0B	4B	6B	AB	8B	2B	
CMZ	SHC	Comptage de zéro en poids forts dans $A \rightarrow X$						FC5n	
CNA ²	SRG	$-A \rightarrow A$						F11C	
CNE	SRG	$-E \rightarrow E$						F138	
CNX	SRG	$-X \rightarrow X$						F114	
CPS		Comparaison d'un octet à une chaîne	0A	4A	6A	AA	8A	2A	
CSV		Appel section superviseur	37					F7	E7
DCE ²	SRG	$(E) - 1 \rightarrow E$						F126	
DCL ²		$(L) - (Y) \rightarrow L$	36					F6	E6

INSTRUCTIONS	Famille	Fonction	DL	DG	IL EL	ILX ELX	IGX EGX	P	PX
DCX ²		$(X) - (Y) \rightarrow X$	33					F3	E3
DELO	COV	suppression élément en file d'attente						FF23	
DIT	SYS	Acquittement interruption						F401	
DIV		$E, A : (Y) \rightarrow A$ Reste $\rightarrow E$	08	48	68	A8	88	28	
DLD ¹		$(Y, Y+2) \rightarrow E, A$	10	50	70	B0	90		
DST		$(E, A) \rightarrow Y, Y+2$	16	56	76	B6	96		
EOR ¹		$A \oplus (Y) \rightarrow A$	03	43	63	A3	83	23	
EXEC	COV	exécution d'une instruction désignée						FF26	
FAD		Addition nbres réels $(E, A) + (Y, Y+2) \rightarrow E, A$	1A	5A	7A	BA	9A		
FADD	COV	Addition flottante double précision						FF32	
FDV		Nombres réels $(E, A) \times (Y, Y+2) \rightarrow E, A$	1D	5D	7D	BD	9D		
FDVD	COV	Division flottante double précision						FF31	
FMU		$(E, A) \times (Y, Y+2) \rightarrow E, A$	1C	5C	7C	BC	9C		
FMUD	COV	Multiplication flottante double précision						FF30	
FSU		$(E, A) \times (Y, Y+2) \rightarrow E, A$	1B	5B	7B	BB	9B		
FSUD	COV	Soustraction flottante double précision						FF33	
HIO	SYS	Arrêt d'un programme canal						F405	
HLT	SRG	Halte programmée						F13E	
ICE ²	SRG	$(E) + 1 \rightarrow E$						F124	
ICL		$(L) + (Y) \rightarrow L$	35					F5	E5
ICX ²		$(X) + (Y) \rightarrow X$	32					F2	E2
INQ	COV	mise en file d'attente						FF20	
INQP	COV	mise en file d'attente avec priorité						FF24	
IOR ¹		$(A) \cup (Y) \rightarrow A$	07	47	67	A7	87	27	
LBL ¹		$(Y) \rightarrow A_{0-7}$ A_{8-15} inchangé	0D	4D	6D	AD	8D	2D	
LBR ¹		$O \rightarrow A_{0-7}$ $(Y) \rightarrow A_{8-15}$	0E	4E	6E	AE	8E	2E	

INSTRUCTIONS	Famille	Fonction	DL	DG	IL EL	ILX ELX	IGX EGX	P	PX
LBX ¹		$0 \rightarrow X_{0-7}$ $(Y) \rightarrow X_{8-15}$	0F	4F	6F	AF	8F	2F	
LDA ¹		$(Y) \rightarrow A$	00	40	60	A0	80	20	
LDB	MCB	Chargement de A avec une base						FB0n	FB4n
LDC	MCB	Chargement de A avec 1 élément du CTX						EB0n	EB4n
LDE ¹		$(Y) \rightarrow E$	01	41	61	A1	81	21	
LDG	COV	Chargement base et taille G et GL						FF10	
LDI	SRG	$IND \rightarrow A$						F134	
LDR ¹		$(Rn) \rightarrow A$ avec $n = (Y)$	39					F9	E9
LDX ¹		$(Y) \rightarrow X$	02	42	62	A2	82	22	
LDZ	COV	Chargement des bases Z et ZL						FF00	
LEA		$Y - (G) \rightarrow A$ et $E - E$ $Y - (Z) \rightarrow A$ et $E - E$	04	44	64	A4	84	24	
LNE	SRG	$-1 \rightarrow E$						F11A	
MUL ¹		$(A) \times (Y) \rightarrow E, A$	0C	4C	6C	AC	8C	2C	
MVS		déplacement d'une chaîne d'octets	1F	5F	7F	BF	9F		
NBP	SRG	Normalisation pointeur octet						F120	
NLZ	SHC	Normalisation des registres E et A						FCn	ECCn
OUTQ	COV	Retrait du 1er élément de la file d'attente						FF21	
	SHC	Calcul de parité						FC4n	EC4n
PULL	MCB	Retour pile						3B80	
PUSH	MCB	Mise en pile						3B0n	3B4n
RBA	SHC	Mise à 0 du bit K de A	$C: 0 \rightarrow K: 0$ $O: 0 \rightarrow A: 0$	$C: 1 \rightarrow K: 1$ $O: 1 \rightarrow A: 0$				FC7n	EC7n
RBE	SHC	Mise à 0 du bit K de E	$C: 0 \rightarrow K: 0$ $O: 0 \rightarrow E: 0$	$C: 1 \rightarrow K: 1$ $O: 1 \rightarrow E: 0$				FC6n	EC6n
RD	SYS	Lecture directe						F402	
RSV	SRG	Retour superviseur						F10C	
RTD	COV	Retour déroutement						FF25	
RTQ	SRG	Retour sous programme commun						F100	

INSTRUCTIONS	Famille	Fonction	DL	DG	IL EL	ILX ELX	IGX EGX	P	PX
RTS	SRG	Retour section						F100	
SAD	SHR	Décalage arithmétique droit de E, A						F04n	E04n
SAS	SHR	Décalage arithmétique droit de A						F0An	E0An
SAX	SRG	$(X) - (A) \rightarrow X$						F12E	
SBA	SHC	Mise à 1 du bit K de A	$C: 0 \rightarrow K: 0$ $O: 0 \rightarrow A: 0$	$C: 1 \rightarrow K: 1$ $O: 1 \rightarrow A: 0$				FCFn	ECFn
SBE	SHC	Mise à 1 du bit K de E	$C: 0 \rightarrow K: 0$ $O: 0 \rightarrow E: 0$	$C: 1 \rightarrow K: 1$ $O: 1 \rightarrow E: 0$				FCEn	ECEn
SBL		$(A_{0-7}) \rightarrow Y_{0-7}$	14	54	74	34	94		
SBR		$A_{8-15} \rightarrow Y_{0-7}$	15	55	75	35	95		
SIO	SYS	Lancement d'un programme canal						F404	
SLCD	SHR	Décalage circulaire gauche de E, A						F06n	E06n
SLCS	SHR	Décalage circulaire gauche de A						F08n	E08n
SLLD	SHC	Décalage logique gauche de E, A						FC0n	EC0n
SLLS	SHR	Décalage logique gauche de A						F00n	E00n
SPA		$(P) + 4 \rightarrow Y$	18	58	78	38	98		
SRCD	SHR	Décalage circulaire droit de E, A						F0En	E0En
SRCS	SHR	Décalage circulaire droit de A						F02n	E02n
SRLD	SHC	Décalage logique droit de E, A						FC8n	EC8n
SRLS	SHR	Décalage logique droit de A						FC0n	EC0n
SRP	SRG	Sauvegarde et remise à 0 du bit 15 de A $\rightarrow X_{15}, X_{0-14}$ inchangé						F13C	
STA		$(A) \rightarrow Y$	11	51	71	31	91		
STB	MCB	Rangement de A dans une base						F88n	F8Cn
STC	MCB	Rangement de A dans un élément du CTX						E88n	E8Cn
STE		$(E) \rightarrow Y$	12	52	72	32	92		
STI	SRG	$(A) \rightarrow IND$						F132	
STM	SYS	Masquage des IT						F408	
STP	SYS	Mise en place de la protection mémoire						F40F	

INSTRUCTIONS	Famille	Fonction	DL	DG	IL EL	ILX ELX	IGX EGX	P	PX
STR		Rangement de A dans un registre	3A					FA	EA
STS		Rangement sélectif de A	19	59	79	89	99		
STX		(X) → Y	13	53	73	83	93		
SUB ²		(A) - (Y) → A	06	46	66	A6	B6	26	
TBA	SHC	Test du bit K de A	C 0 → K 0 . C 1 → K 1 O 0 → A 0 . O 1 → A 0					FCBn	ECBn
●	SHC	Test du bit K de E	C 0 → K 0 . C 1 → K 1 O 0 → E 0 . O 1 → E 0					FCAn	ECAn
TES ¹		Test et marquage	3D					FD	ED
TESQ	COV	Test du 1er élément de la file d'attente						FF22	
TRS		Transcodage d'une chaîne d'octets	1E	5E	7E	BE	9E		
TSX ¹	SRG	Test du registre X						F130	
WD	SYS	Ecriture directe						F403	
XAA	SRG	(A) ₀₋₇ ↔ (A) ₈₋₁₅						F108	
XAE	SRG	(A) ↔ (E)						F102	
XAX	SRG	(A) ↔ (X)						F104	
XCTX		Echange de CTX						FE00	
XEX	SRG	(E) ↔ (X)						F106	

Positionnement des indicateurs sur les instructions annotées «1»

C	O	R = A, E ou X
0	0	R > 0
0	1	R < 0
1	0	R = 0

Positionnement des indicateurs pour les instructions annotées «2»

C	O	
1	#	report
#	1	débordement

AFFECTATION STANDARD DES INTERRUPTIONS MITRA 125

Niveau	Mot DVT	Affectation de l'IT
0		Niveau programme
1		IT Logiciel N° 1 (SWAPPING)
2	6802	
3		
4		
5	6004	Pupitre
6	6402	IT Logiciel N° 2 (DEBUGGER System)
7	6200	Coupleurs asynchrones
8	6011	Imprimante
9	6043	Lecteur de cartes
10	6008	MAE
11	6023	Perforateur de cartes
12	6013	Entrées analogiques isolées
13	6080	Perforateur de ruban
14	6040	Lecteur de ruban
15		Mini cassette
16	6009	Unité de bande magnétique
17		
18	6008	Entrées analogiques rapides
19	6007	Sorties analogiques rapides
20	6201	Coupleurs synchrones
21	6081	2ème IOP
22	6041	1ère IOP
23		Imprimante série
24	6403	HTR N°0
25	6203	HTR N°3
26	6005	Disque
27	6082	AMC
28		Téléchargement
29		Coupage secteur des extensions
30		Reprise secteur
31	E004	Coupage secteur

SIGNIFICATION DU MOT D'ETAT DEROUTEMENT MITRA 125

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
---	---	---	---	---	---	---	---	---	---	----	----	----	----	----	----

- Bit 0 : fin de l'instruction EXEC
- Bit 2 : incident opérateur (ex : débordement FAO)
- Bits 3 à 7 : rang de la suspension origine du déroutement
- Bit 8 : débordement taille
- Bit 9 : violation de mode ou débordement pile
- Bit 10 : violation de protection mémoire
- Bit 11 : adresse inexistante
- Bit 12 : parité mémoire *
- Bit 13 : instruction inexistante
- Bit 14 : déroutement d'entrée-sortie
- Bit 15 : déroutement programme

PF	df	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
DL	D	LDA	LDE	LDX	EOR	LEA	ADD	SUB	IOR	DIV	AND	CPS	CMP	MUL	LBL	LBR	LBX
DL	1	DL	STA	STE	STX	SBL	SBR	DST	ADM	SPA	STS	FAD	FSU	FMU	FDV	TRS	MVS
P	2	LDA	LDE	LDX	EOR	LEA	ADD	SUB	IOR	DIV	AND	CPS	CMP	MUL	LBL	LBR	LBX
DL	3		ICX	DCX		ICL	DCL	CSV	CLS	LDR	STR	MCB		TES	CLO		
DG	4	LDA	LDE	LDX	EOR	LEA	ADD	SUB	IOR	DIV	AND	CPS	CMP	MUL	LBL	LBR	LBX
DG	5	DL	STA	STE	STX	SBL	SBR	DST	ADM	SPA	STS	FAD	FSU	FMU	FDV	TRS	MVS
IL EL	6	LDA	LDE	LDX	EOR	LEA	ADD	SUB	IOR	DIV	AND	CPS	CMP	MUL	LBL	LBR	LBX
IL EL		DL	STA	STE	STX	SBL	SBR	DST	ADM	SPA	STS	FAD	FSU	FMU	FDV	TRS	MVS
IGX EGX	8	LDA	LDE	LDX	EOR	LEA	ADD	SUB	IOR	DIV	AND	CPS	CMP	MUL	LBL	LBR	LBX
IGX EGX	9	DL	STA	STE	STX	SBL	SBR	DST	ADM	SPA	STS	FAD	FSU	FMU	FDV	TRS	MVS
ILX ELX	A	LDA	LDE	LDX	EOR	LEA	ADD	SUB	IOR	DIV	AND	CPS	CMP	MUL	LBL	LBR	LBX
ILX ELX	B	DL	STA	STE	STX	SBL	SBR	DST	ADM	SPA	STS	FAD	FSU	FMU	FDV	TRS	MVS
RP	C	BCT	BRX	BOT	BCF	BAN	BAZ	BOF	BRU								
RM	C								BCT	BRX	BOT	BCF	BAN	BAZ	BOF	BRU	
IL	D	BCT	BRX	BOT	BCF	BAN	BAZ	BOF	BRU								
IG	D								BCT	BRX	BOT	BCF	BAN	BAZ	BOF	BRU	
PX	E	SHR		ICX	DCX		ICL	DCL	CSV	CLS	LDR	STR	MCB	SHC	TES	CLO	XCTX
P	F	SHR	SRG	ICX	DCX	SYS	ICL	DCL	CSV	CLS	LDR	STR	MCB	SHC	TES	CLO	XCTX

FF00	LDZ
FF10	LDG
FF20	INQ
FF21	OUTQ
FF22	TESQ
FF23	DELO
FF24	INOP
FF25	RTD
FF26	EXEC
FF30	FMUD
FF31	FDVD
FF32	FADD
FF33	FSUD
FF40 + n	BRK

Famille COV

F400	CLM
F401	DIT
F402	RD
F403	WD
F404	SIO
F405	HIO
F406	AIO
F407	CLP
F408	STM
F40F	STP

Famille SYS

Code	Instruction
F100	RTS:RTQ*
F102	XAE
F104	XAX
F106	XEX
F108	XAA
F10A	CCE
F10C	RSV
F10E	ACE
F110	CCA
F112	AAE
F114	CNX
F116	AIE
F118	AAE
F11A	LNE
F11C	CNA
F11E	CHX
F120	NBP
F122	AEA
F124	ICE
F126	DCE
F128	.
F12A	AA*
F12C	AXA
F12E	SAX
F130	TSX
F132	STI
F134	LDI
F136	CAE
F138	CNE
F13A	CNA
F13C	SRP
F13E	HRT

*RTS si mode utilisateur
 *RTQ si mode SP
 **Reserve usage futur

Famille SRG

E000 + n	F000 + n	SLLS
E020 + n	F020 + n	SRCS
E040 + n	F040 + n	SAD
E060 + n	F060 + n	SLCD
E080 + n	F080 + n	SLCS
E0A0 + n	F0A0 + n	SAS
E0C0 + n	F0C0 + n	SRLS
E0E0 + n	F0E0 + n	SRCS
EC00 + n	FC00 + n	SLLD
EC20 + m	FC20 + m	CBE
EC30 + m	FC30 + m	CBA
EC40 + m	FC40 + m	PTY
	FC50 + n	CMZ
EC60 + m	FC60 + m	RBE
EC70 + m	FC70 + m	RBA
EC80 + n	FC80 + n	SRLD
ECA0 + m	FCA0 + m	TBE
ECB0 + m	FCB0 + m	TBA
ECC0 + n	FCC0 + n	NLZ
ECE0 + m	FCE0 + m	SBE
ECF0 + m	FCF0 + m	SBA

PX

P

n nombres de décalages
 m nombres de bits
 0 < n < 1 F
 0 < m < 1 F

FAMILLE SHC/SHR

3B40 + n	3B00 + n	PUSH
	3B80	PULL
EB40 + n	EB00 + n	LDC
EBC0 + n	EB80 + n	STC
FB40 + n	FB00 + n	LDB
FBC0 + n	FB80 + n	STB

PX

P

FAMILLE MCB

0 < n < 63

CODES ORDINATEURS A 8 ELEMENTS BINAIRES (EBCDIC)

Hexadécimal	Éléments de poids fort															
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
Binaire	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
0	0000	NUL	DLE	ds	SP	&	-	/								0
1	0001	SOH	DC1	w	/	/	/	/	a	i	\	\	A	J		1
2	0010	STX	DC2	fs	/	/	/	/	b	k	s	}	B	K	S	2
3	0011	ETX	DC3	si	/	/	/	/	c	l	t	}	C	L	T	3
4	0100	EOT	DC4		/	/	/	/	d	m	u	}	D	M	U	4
5	0101	HT	LF	NL	Non affectés				e	n	v	}	E	N	V	5
6	0110	ACK	SYN		/	/	/	/	f	o	w	}	F	O	W	6
7	0111	BE	ETB		/	/	/	/	g	p	x	}	G	P	X	7
8	1000	EOM	BS	CAN	/	/	/	/	h	q	y	}	H	Q	Y	8
9	1001	ENQ	EM		/	/	/	/	i	r	z	}	I	R	Z	9
A	1010	NAK	SS		g	i	}	/	/	/	/	/	/	/	/	/
B	1011	VT	ESC		\$.	}	/	/	/	/	/	/	/	/	/
C	1100	FF	FS		<	*	}	/	/	/	/	/	/	/	/	/
D	1101	CR	GS		()	}	/	/	/	/	/	/	/	/	/
E	1110	SO	RS		+	.	}	/	/	/	/	/	/	/	/	/
F	1111	SI	US	PE	/	?	}	/	/	/	/	/	/	/	/	DEL

CODE D'ECHANGE A 7 ELEMENTS BINAIRES (ISO)

Decimal (lignes/colonnes)	Éléments de poids fort							
	0	1	2	3	4	5	6	7
Binaire	0000	0001	0010	0011	0100	0101	0110	0111
0	0000	NUL	DLE	SP	0	-	P	P
1	0001	SOH	DC1	!	1	A	Q	a
2	0010	STX	DC2	"	2	B	R	b
3	0011	ETX	DC3	#	3	C	S	c
4	0100	EOT	DC4	\$	4	D	T	d
5	0101	ENQ	NAK	%	5	E	U	e
6	0110	ACK	SYN	&	6	F	V	f
7	0111	BE	ETB	'	7	G	W	g
8	1000	BS	CAN	(8	H	X	h
9	1001	HT	EM)	9	I	Y	i
10	1010	LF	NL	*	10	J	Z	j
11	1011	VT	ESC	+	11	K	[k
12	1100	FF	FS	,	12	L	\	l
13	1101	CR	GS	=	13	M]	m
14	1110	SO	RS	>	14	N	^	n
15	1111	SI	US	/	15	O	_	o

Conversion hexadécimal - décimal

6	5	4	3	2	1
HEX = DEC	HEX = DEC	HEX = DEC	HEX = DEC	HEX = DEC	HEX = DEC
0 0	0 0	0 0	0 0	0 0	0 0
1 1,048,576	1 65,536	1 4,096	1 256	1 16	1 1
2 2,097,152	2 131,072	2 8,192	2 512	2 32	2 2
3 3,145,728	3 196,608	3 12,288	3 768	3 48	3 3
4 4,194,304	4 262,144	4 16,384	4 1,024	4 64	4 4
5 5,242,880	5 327,680	5 20,480	5 1,280	5 80	5 5
6 6,291,456	6 393,216	6 24,576	6 1,536	6 96	6 6
7 7,340,032	7 458,752	7 28,672	7 1,792	7 112	7 7
8 8,388,608	8 524,288	8 32,768	8 2,048	8 128	8 8
9 9,437,184	9 589,824	9 36,864	9 2,304	9 144	9 9
A 10,485,760	A 655,360	A 40,960	A 2,560	A 160	A 10
B 11,534,336	B 720,896	B 45,056	B 2,816	B 176	B 11
C 12,582,912	C 786,432	C 49,152	C 3,072	C 192	C 12
D 13,631,488	D 851,968	D 53,248	D 3,328	D 208	D 13
E 14,680,064	E 917,504	E 57,344	E 3,584	E 224	E 14
F 15,728,640	F 983,040	F 61,440	F 3,840	F 240	F 15

16 ⁿ	n
1	0
16	1
256	2
4 096	3
65 536	4
1 048 576	5
16 777 216	6
268 435 456	7
4 294 967 296	8
68 719 476 736	9
1 099 511 627 776	10
17 592 186 044 416	11
281 474 976 710 656	12
4 503 599 627 370 496	13
72 057 594 037 927 936	14
1 152 921 504 606 846 976	15

10 ⁿ en base 16	n
1	0
A	1
64	2
3E8	3
2710	4
1 86A0	5
F 4240	6
98 9680	7
5F5. E100	8
3B9A CA00	9
2 5408 E400	10
17 4876 E800	11
E8 D4A5 1000	12
918 4E72 A000	13
3 5AF3 107A 4000	14
23 86F2 6FC1 0000	15
3 8D7E A4C6 8000	16
163 4578 5D8A 0000	17
DE0 86B3 A764 0000	18
8AC7 2304 89E8 0000	19

CLES DE CHARGEMENT MITRA 125

PERIPHERIQUES	CLES				AUTRES CLES
	16	17	18	19	
Lecteur de cartes	0	0	0	1	"
Disque Sagem	0	0	1	0	"
Disque Dri	0	0	1	1	Clés 13, 14, 15 = n° d'unité
Bande magnétique	0	1	0	0	Clés 8, 9, 10 = n° d'unité
Cassette/lect. ruban	0	1	0	1	"
IOP	1	1	1	1	Clés 0 à 7 = n° contrôleur Clés 8 à 15 = n° d'unité logique

0	P
1	L
2	
3	A
4	E
5	X
6	
7	
8	RIT
...	
255	

ADRESSE DES REGISTRES GENERAUX

0	G
1	GL
2	Z
3	ZL
4	C
5	
6	Q
7	QL
...	
62	
63	

ADRESSE DES REGISTRES DE BASE

N.B. : Au pupitre, l'adresse d'une base est égale à :
R + & 100

Indicateurs	
X	
E	
A	
L	
P	
G	
GL	
Z	
ZL	
Q	
SB	
SL	
ST	
PEX	
LEX	
IEX	
B GST	
T TST	
CSN	

DESCRIPTION DU CONTEXTE